

# Versión Final del Sistema de Adquisición de Datos para el Calorímetro Hadrónico Tilecal del detector ATLAS en LHC. Diseño, Rendimiento, Tests y Producción

J. Castelo<sup>1</sup>, V. Castillo<sup>1</sup>, C. Cuenca<sup>1</sup>, A. Ferrer<sup>1</sup>, E. Fullana<sup>1</sup>, V. González<sup>2</sup>, E. Higón<sup>1</sup>, C. Iglesias<sup>1</sup>, A. Munar<sup>1</sup>, J. Poveda<sup>1</sup>, A. Ruiz-Martínez<sup>1</sup>, B. Salvachúa<sup>1</sup>, E. Sanchís<sup>2</sup>, C. Solans<sup>1</sup>, J. Soret<sup>2</sup>, J. Torres<sup>2</sup>, A. Valero<sup>1</sup>, J. A. Valls<sup>1</sup>

<sup>1</sup> IFIC/Dpto. Física Atómica Molecular y Nuclear, Universidad de Valencia, Avda. Dr. Moliner, 50, Burjassot

<sup>2</sup> Dpto. Ingeniería Electrónica, Universidad de Valencia, Avda. Dr. Moliner, 50, Burjassot (Valencia)

## I. INTRODUCCIÓN

El sistema de adquisición y procesado de datos para el calorímetro hadrónico (TILECAL) de uno de los 4 detectores (ATLAS) en el acelerador de partículas LHC<sup>1</sup> se denomina ROD (Read Out Driver). Este sistema está siendo íntegramente desarrollado por el grupo Tilecal de Valencia<sup>2</sup>.

El sistema ROD ha de ser capaz de recibir los datos del calorímetro que han pasado el primer nivel de disparo, procesarlos, y enviarlos al sistema de adquisición de datos general de ATLAS (TDAQ) donde se elaborará el disparo de nivel 2. Es, por tanto, que el ROD está entre el nivel 1 y 2 de disparo, y en él se hace un procesado digital de las muestras discretas de cada canal del calorímetro para reconstruir la Energía, el Tiempo de llegada y un factor de calidad del ajuste ( $\chi^2$ ) en tiempo real. Toda esta información ayudará a la decisión de disparo de nivel 2 donde se correlaciona información de todos los sub-detectores de ATLAS. Además, existe un disparo de nivel 3 de mayor granularidad que ayuda a filtrar la gran cantidad de eventos que producirá ATLAS con un “*bunch crossing*” de haces de protones de 25ns en LHC.

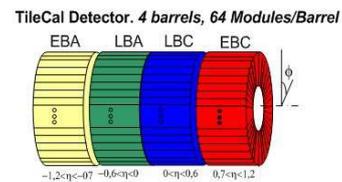


Figura 1. Particiones del calorímetro hadrónico Tilecal abarcando  $2\pi$  en  $\Phi$  y  $\eta/4$

## II. ARQUITECTURA Y DISEÑO DE LA VERSIÓN FINAL DEL ROD DE TILECAL

La arquitectura de la versión final del ROD de Tilecal permite segmentar la lectura del detector en 4 particiones (Fig.1) que corresponderán a 2 barriles extendidos (exteriores) y un barril central (interior, dividido en dos secciones de lectura). Cada partición se implementa en una ROD crate (Fig.2) que contendrá: 1 CPU VME controladora de la crate (CT VP-110 VME64X 6U), 1 módulo TBM receptor de *señales de disparo* por fibra óptica (TTC) y emisor de señales de *ocupado* (BUSY), 8 tarjetas ROD VME64X 9U para reconstrucción de los datos crudos en tiempo real, 8 tarjetas multiplexoras de las transmisiones ópticas desde el calorímetro y 8 módulos TM que albergarán las tarjetas S-LINK que enviarán por fibra óptica los datos reconstruidos por el ROD al TDAQ (ROBin). Para 4 particiones del calorímetro necesitaremos 4 ROD crates con los módulos expuestos anteriormente, más varias

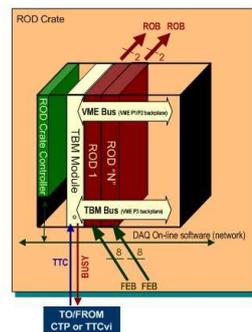


Figura 2. ROD Crate VME 9U

computadoras industriales *Workstation* que controlaran el sistema basado en el Software Online de ATLAS.

La versión final de la *Placa Madre ROD*<sup>3</sup> es un diseño “*custom*” y está basada en una tarjeta 9U VME64X (PCB 10 capas; alto/ancho/espesor 366.7/400/2.4mm) en cuya implementación se han usado la última generación de FPGA (Field Programmable Gate Arrays), y DSP (Procesadores Digitales de Señal). Estos dispositivos son necesarios debido a los altos requerimientos del sistema en términos de ancho de banda de Entrada/Salida (112,91 Gbps y 53,7 Gbps respectivamente) y capacidad de procesamiento (68992 MIPS). En la Tabla 1 se puede ver un resumen de las prestaciones del Sistema de Adquisición ROD. La programación del *Firmware*<sup>4</sup> para FPGAs (VHDL) y DSPs (C, ASM) y del *Software* para RODlib, GUI Interface y Online Software (C++, java) se ha desarrollado para cumplir los requisitos de procesamiento de 9856 canales de datos en menos de 10 $\mu$ s.



Figura 3. ROD Motherboard con 4 PU



Figura 4. PU con 2 DSP y 5 FPGA

Tabla 1: Requerimientos sistema ROD

|                                                                         |                    |
|-------------------------------------------------------------------------|--------------------|
| Number of Calorimeter sampled Channels (PMT)                            | <b>9856</b>        |
| Number of input links (optical fibers)                                  | <b>256</b>         |
| Number of channels per Extended Barrels FEB (EBA, EBC)                  | <b>32</b>          |
| Number of channels per Central Barrel FEB (LBA, LBC)                    | <b>45</b>          |
| Input event size per FEB (7 samples, 1 Gain)                            | <b>4,625 Kbits</b> |
| Input Data Bandwidth @ 100kHz Level 1 trigger rate                      | <b>112,91 Gbps</b> |
| Number of Read Out Links ROL (ROD:ROBin mapping 1:2)                    | <b>64</b>          |
| Output event size per Read Out Link (I/O mapping 4:1; 4 input to 1 ROL) | <b>8,8 Kbits</b>   |
| Output Data Bandwidth @ 100kHz Level 1 trigger rate                     | <b>53,7 Gbps</b>   |
| Total processing power                                                  | <b>68992 MIPS</b>  |

### III. TEST Y PRODUCCIÓN

En el laboratorio de Tilecal-Valencia se han realizado los test de la producción de todas las tarjetas del sistema ROD. Para ello se ha desarrollado todo el *Firmware* y *Software* “*online*” y “*offline*” necesarios para validar el sistema antes de ser instalado bajo tierra en las salas de control del detector ATLAS-LHC a finales de 2005. Asimismo se ha validado el diseño final en el Test de Haz Combinado de ATLAS en el 2004, y los prototipos previos en los Test de Haz de Tilecal en años anteriores con resultados muy satisfactorios de operatividad, estabilidad y rendimiento.

### IV. REFERENCIAS

*Agradecimientos: a Carmen y a mi Familia por su Amor.*

#### Referencias

<sup>1</sup> LHC: [www.cern.ch/lhc](http://www.cern.ch/lhc); ATLAS: [www.cern.ch/atlas](http://www.cern.ch/atlas); CERN: [www.cern.ch](http://www.cern.ch).

<sup>2</sup> Tilecal Valencia [www, http://ific.uv.es/tical/](http://ific.uv.es/tical/)

<sup>3</sup> TileCal ROD Hardware and Software Requirements. J. Castelo et al., ATLAS Internal Note, ATL-TILECAL-2005-003.

<sup>4</sup> Tile Calorimeter Read Out Driver. Firmware Developments for the Final Prototype. J.Castelo, LECC 2004.